

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-48109

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/784				
27/12		8728-4M		
21/336				
	9056-4M		H 01 L 29/ 78	3 1 1 X
	8225-4M			3 0 1 H
			審査請求 未請求 請求項の数 2(全 6 頁)	最終頁に続く

(21)出願番号 特願平3-225071

(22)出願日 平成3年(1991)8月7日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 谷沢 元昭

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

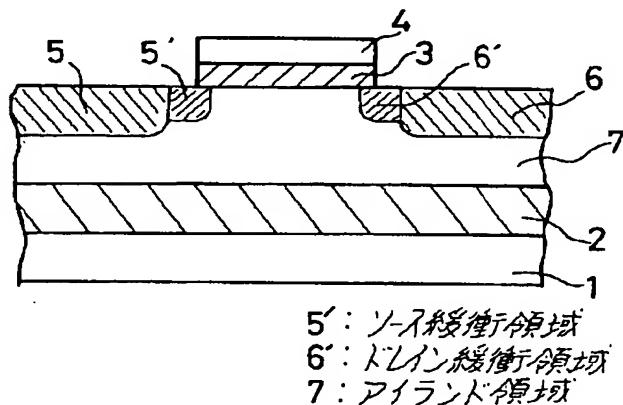
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 縦型MOSトランジスタおよびその製造方法

(57)【要約】

【目的】 チャネル方向の電界を緩和することにより、
縦型MOSトランジスタの耐圧の向上を図る。

【構成】 縦型MOSトランジスタにおいて、チャネル部を構成する半導体層とドレインを構成する半導体層の間にドレインと同種の半導体で、かつ濃度の低い緩衝領域を設ける。



5' : ソース緩衝領域

6' : ドレイン緩衝領域

7 : アイランド領域

1

【特許請求の範囲】

【請求項 1】 縱型MOSトランジスタにおいて、半導体基板上に形成されたフィールド酸化膜と、前記酸化膜の上に形成されたアイランド構造と、前記アイランド構造の両凹部に形成されたソースおよびドレインと、前記アイランド構造の凸部上に形成されたゲート酸化膜と、前記ゲート酸化膜上に形成されたゲート電極と、前記ドレインの活性領域側に形成された、該ドレインと反対電荷をもち、かつ、該ドレインと同種の半導体で、不純物濃度の低い緩衝領域とを備えたことを特徴とする縱型MOSトランジスタ。

【請求項 2】 縱型MOSトランジスタを製造する方法において、半導体基板上にフィールド酸化膜を形成する工程と、前記酸化膜の上にアイランド構造を形成する工程と、前記アイランド構造の両凹部にソースおよびドレインと形成する工程と、前記アイランド構造の凸部上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上にゲート電極を形成する工程と、前記ドレインの活性領域側に該ドレインと反対電荷をもち、かつ、該ドレインと同種の半導体で、不純物濃度の低い緩衝領域を形成する工程とを含むことを特徴とする縱型MOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は縱型MOSトランジスタに関し、特に、高耐圧縱型MOSトランジスタおよびその製造方法に関するものである。

【0002】

【従来の技術】 図4及び図5は従来の縱型MOSトランジスタ構造の概観及び断面図であり、図において1は下地の半導体基板、2は素子分離絶縁膜であるフィールド酸化膜、3はゲート酸化膜、4はゲート電極、5はソース領域、6はドレイン領域、7はフィールド酸化膜上に設けられた半導体のアイランドである。

【0003】 次に動作について説明する。ゲート電極4に電圧が印加されると、信号の伝播路であるチャネルがアイランド7とゲート酸化膜3の界面に形成される。チャネルが形成されると、ドレイン領域6に電圧を印加することによってキャリアがソース領域5から走行していく。

【0004】 このとき、ドレイン6領域でのp-n接合部における電界強度E₀は、この領域における不純物の濃度勾配をaとすると、

$$E_0 = a^{1/3}$$

で与えられる。

【0005】

2

【発明が解決しようとする課題】 従来の縱型MOSトランジスタは以上のように構成されているので、ドレイン領域6でのp-n接合部における電界強度E₀が大きくなると接合降伏が生じ、このMOSトランジスタのスイッチング素子としての動作は保証されないこととなり、また、チャネルのドレイン領域6側端部が急峻な階段接合となっているので、接合部における電界強度が大きくなり、素子の耐圧が小さくなるなどという問題点があつた。

10 【0006】 この発明は上記のような問題点を解消するためになされたもので、縱型MOSトランジスタにおいて、緩やかな濃度勾配を持った、ドレイン領域の緩衝領域を形成することにより、ドレイン接合部での電界強度E₀を緩和した、高耐圧の縱型MOSトランジスタおよびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 この発明に係る縱型MOSトランジスタは、ドレイン領域と活性領域の間に、ドレイン領域と反対電荷をもち、かつ、ドレイン領域と同種の半導体で、不純物濃度の低い緩衝領域を形成するものである。

20 【0008】 また、この発明に係る縱型MOSトランジスタの製造方法は、ドレイン領域と活性領域の間に、ドレイン領域と反対電荷をもち、かつ、ドレイン領域と同種の半導体で、不純物濃度の低い緩衝領域を形成する工程を含むものである。

【0009】

【作用】 この発明における縱型MOSトランジスタは、ドレイン領域の緩衝領域を形成したことにより、縱型MOSトランジスタにおけるドレイン接合部での濃度勾配を緩やかにし、空乏層の拡がりを大きくし、電界強度を抑制するので、素子の耐圧を向上させる。

30 【0010】 また、この発明における縱型MOSトランジスタの製造方法は、ドレイン領域と活性領域の間に、ドレイン領域と反対電荷をもち、かつ、ドレイン領域と同種の半導体で、不純物濃度の低い緩衝領域を形成するようにしたので、縱型MOSトランジスタにおけるドレイン接合部での濃度勾配が緩やかになり、チャネル方向の電界が緩和され、高耐圧の縱型MOSトランジスタが得られ、信頼性も向上する。

【0011】

【実施例】 図1、図2はこの発明の一実施例による縱型n型MOSトランジスタの概観及び断面を示した図であり、図において1は下地の半導体基板、2は素子分離絶縁膜であるフィールド酸化膜、3はゲート酸化膜、4はゲート電極、5、6はn⁺層からなるソース領域、ドレイン領域、5'、6'はn⁻層からなるソース領域5の緩衝領域、ドレイン領域6の緩衝領域、7はフィールド酸化膜2上に設けられたp層からなる半導体のアイラン

40 50 ドである。

【0012】なお、下地基板1の厚みは～数 μm 、フィールド酸化膜2の厚みは0.8～1 μm 、ゲート酸化膜3の厚みは100～200、ゲート電極膜4の厚みは3000～5000、ソース領域5、ドレイン領域6の深さは～0.2 μm 、また、図中の W_L は～1 μm 、 W_h は～2 μm 、チャネル長 L_g は～0.3 μm である。

【0013】次に製造方法について説明する。図3は上記実施例によるn形縦型MOSトランジスタの製造フローを示した図であり、下記a～eのような方法で順次製造してゆく。

(a) 下地基板1をRIE(Reactive Ion Etching)等でエッティングを行い、半導体アイランド7層を形成する。
(b) アイランド7層の上部及び側面部にCVD法で窒化膜を形成した後、下地基板1を酸化し、フィールド酸化膜2が形成された後、前記アイランド7層の上部および側面部の窒化膜を除去する。

(c) CVD等によりゲート酸化膜3及びゲート電極4となるポリシリコンを形成後、パターニングを行い、ゲート構造を作製する。その後、該ゲートをマスクとしてAsのイオン注入を行い、ソース領域、ドレイン領域のn+層5、6を形成する。

(d) ゲート酸化膜3及びゲート電極4の端部をエッティングする。

(e) (d)で短くされたゲートをマスクにしてpのイオンを注入することによりn-層のソース領域5の緩衝領域5'、ドレイン領域6の緩衝領域6'を形成する。

【0014】次に、動作について説明する。一般に縦型MOSトランジスタのチャネル方向の電界強度は、その動作時において、チャネル側ドレイン端部で最大となる。この最大電界強度をトランジスタの性能を低下させずに抑制することは、微細化を進める上で、耐ホットキャリアなどによる素子の信頼性や耐圧の向上等の点で重要な因子である。

【0015】チャネル側ドレイン領域6端部での電界強度は、チャネル端からドレイン領域6にかけての不純物濃度勾配と密接な関係がある。pn接合理論から、チャネル端からドレイン領域6にかけて、急峻な階段接合よりも緩やかな濃度勾配を持っている方が空乏層の拡がりが大きくなり、電界強度を抑えられることが知られている（最大電界強度は傾斜接合の場合、濃度勾配aに対して $\sim a^{1/3}$ で変化する）。

【0016】よって、チャネルのp領域とドレイン領域

10

20

30

40

6のn+領域の間に緩衝領域としてn-層6'を設けたことにより、濃度勾配が緩やかになり、電界強度が抑制され、素子の耐圧の向上が図られる。

【0017】なお、上記実施例では、nチャネル型の縦型MOSトランジスタについて説明したが、pチャネル型の縦型MOSトランジスタにおいても、n型半導体からなるチャネル領域とドレインのp+領域の間にp-層からなる緩衝領域を設けた構造にすることによって、同様な電界抑制効果を得ることができる。

【0018】

【発明の効果】以上のように、この発明に係る縦型MOSトランジスタによれば、ドレインの活性領域側に緩衝領域を設けて電界強度を抑制できるように構成したので、縦型MOSトランジスタの耐圧の向上を図れる効果がある。

【0019】また、この発明に係る縦型MOSトランジスタの製造方法によれば、ドレインの活性領域側に、ドレインと反対電荷をもち、かつ、ドレインと同種の半導体で、不純物濃度の低い緩衝領域を形成するようにしたので、ドレイン接合部における濃度勾配を緩やかにし、電界強度を緩和することにより、高耐圧の縦型MOSトランジスタを得ることができ、信頼性も向上する。

【図面の簡単な説明】

【図1】この発明の一実施例による縦型MOSトランジスタの概観図である。

【図2】この発明の一実施例による縦型MOSトランジスタの概略断面図である。

【図3】この発明の一実施例による縦型MOSトランジスタの製造フローの概略図である。

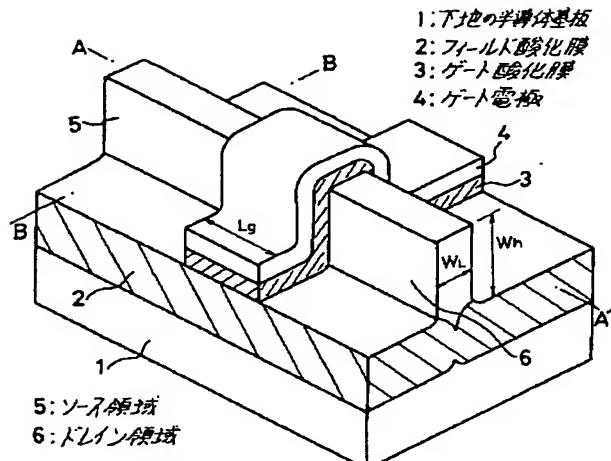
【図4】従来の縦型MOSトランジスタの概観図である。

【図5】従来の縦型MOSトランジスタの概略断面図である。

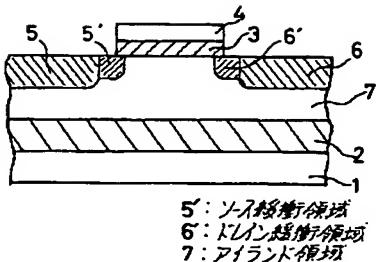
【符号の説明】

- 1 下地の半導体基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 ソース領域
- 6 ドレイン領域
- 5' ソース緩衝領域
- 6' ドレイン緩衝領域
- 7 アイランド領域

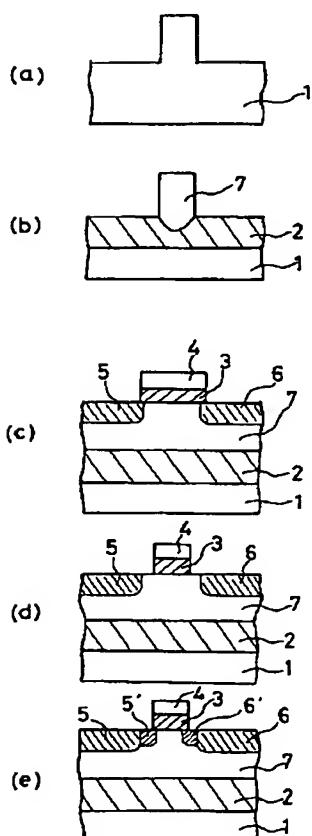
【図1】



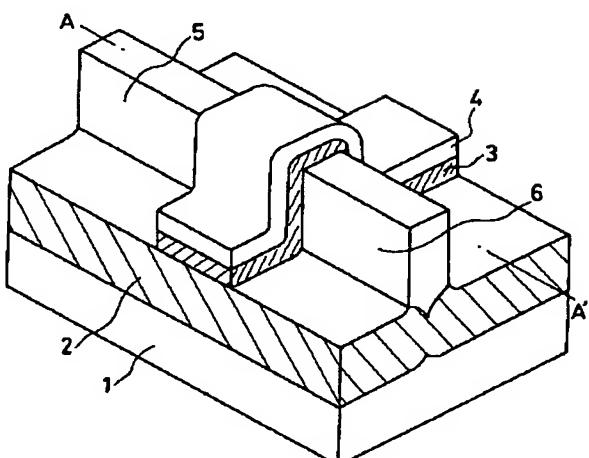
【図2】



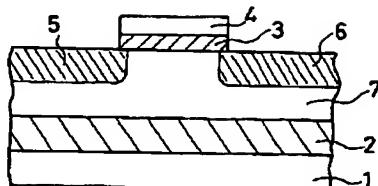
【圖 3】



[図4]



【図5】



【手続補正書】

【提出日】平成4年4月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 縱型MOSトランジスタにおいて、半導体基板上に形成されたフィールド酸化膜と、前記酸化膜の上に形成されたアイランド構造と、前記アイランド構造の両凹部に形成されたソースおよびドレインと、前記アイランド構造の凸部上に形成されたゲート酸化膜と、前記ゲート酸化膜上に形成されたゲート電極と、前記ドレインの活性領域側に形成された、該ドレインと同種の半導体で、不純物濃度の低い緩衝領域とを備えたことを特徴とする縱型MOSトランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】 縱型MOSトランジスタを製造する方法において、半導体基板上にフィールド酸化膜を形成する工程と、前記酸化膜の上にアイランド構造を形成する工程と、前記アイランド構造の両凹部にソースおよびドレインと形成する工程と、前記アイランド構造の凸部上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上にゲート電極を形成する工程と、前記ドレインの活性領域側に該ドレインと同種の半導体で、不純物濃度の低い緩衝領域を形成する工程とを含むことを特徴とする縱型MOSトランジスタの製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図4及び図5は従来の縱型MOSトランジスタ構造の概観を示す斜視図及び断面図であり、図において1は下地の半導体基板、2は素子分離絶縁膜であるフィールド酸化膜、3はゲート酸化膜、4はゲート電極、5はソース領域、6はドレイン領域、7はフィールド酸化膜上に設けられた半導体のアイランドである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】このとき、ドレイン6領域でのpn接合部における電界強度E₀は、この領域における不純物の濃度勾配をaとすると、a^{1/3}に比例した値となる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】この発明に係る縱型MOSトランジスタは、ドレイン領域と活性領域の間に、ドレイン領域と同種の半導体で、不純物濃度の低い緩衝領域を形成するものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】また、この発明に係る縱型MOSトランジスタの製造方法は、ドレイン領域と活性領域の間に、ドレイン領域と同種の半導体で、不純物濃度の低い緩衝領域を形成する工程を含むものである。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、この発明における縱型MOSトランジスタの製造方法は、ドレイン領域と活性領域の間に、ドレイン領域と同種の半導体で、不純物濃度の低い緩衝領域を形成するようにしたので、縱型MOSトランジスタにおけるドレイン接合部での濃度勾配が緩やかになり、チャネル方向の電界が緩和され、高耐圧の縱型MOSトランジスタが得られ、信頼性も向上する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【実施例】図1、図2はこの発明の一実施例による縱型n型MOSトランジスタの概観を示す斜視図及び断面図であり、図において1は下地の半導体基板、2は素子分離絶縁膜であるフィールド酸化膜、3はゲート酸化膜、4はゲート電極、5、6はn⁺層からなるソース領域、ドレイン領域、5'、6'はn-層からなるソース領域5の緩衝領域、ドレイン領域6の緩衝領域、7はフィー

ルド酸化膜2上に設けられたp層からなる半導体のアイランドである。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】なお、下地基板1の厚みは～数 μ m、フィールド酸化膜2の厚みは0.8～1 μ m、ゲート酸化膜3の厚みは100～200オングストローム、ゲート電極膜4の厚みは3000～5000オングストローム、ソース領域5、ドレイン領域6の深さは～0.2 μ m、また、図中のWLは～1 μ m、Whは～2 μ m、チャネル長Lgは～0.3 μ mである。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】次に製造方法について説明する。図3は上記実施例によるn形縦型MOSトランジスタの製造フローを示した図であり、図中、図1、図2と同一符号は同一または相当部分を示す。該n形縦型MOSトランジスタは、下記(a)～(e)のような方法で順次製造していく。

(a) 下地基板1をRIE(Reactive Ion Etching)等でエッティングを行い、半導体アイランド7層を形成する。

(b) アイランド7層の上部及び側面部にCVD法で窒化膜を形成した後、下地基板1を酸化し、フィールド酸化膜2が形成された後、前記アイランド7層の上部および側面部の窒化膜を除去する。

(c) CVD等によりゲート酸化膜3及びゲート電極4となるポリシリコンを形成後、パターニングを行い、ゲート構造を作製する。その後、該ゲートをマスクとしてAsのイオン注入を行い、ソース領域、ドレイン領域のn+層5、6を形成する。

(d) ゲート酸化膜3及びゲート電極4の端部をエッティングする。

(e) (d)で短くされたゲートをマスクにしてpのイオン

を注入することによりn-層のソース領域5の緩衝領域5'、ドレイン領域6の緩衝領域6'を形成する。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】よって、チャネルのp領域とドレイン領域6のn+領域の間に緩衝領域としてn-層5'を設けたことにより、濃度勾配が緩やかになり、電界強度が抑制され、素子の耐圧の向上が図られる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】また、この発明に係る縦型MOSトランジスタの製造方法によれば、ドレインの活性領域側に、ドレインと同種の半導体で、不純物濃度の低い緩衝領域を形成するようにしたので、ドレイン接合部における濃度勾配を緩やかにし、電界強度を緩和することにより、高耐圧の縦型MOSトランジスタを得ることができ、信頼性も向上する。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

1 下地の半導体基板

2 フィールド酸化膜

3 ゲート酸化膜

4 ゲート電極

5 ソース領域

6 ドレイン領域

5' ソース緩衝領域

6' ドレイン緩衝領域

7 アイランド領域

フロントページの続き

(51) Int. Cl. 5

識別記号 庁内整理番号
9056-4M

F I
H 0 1 L 29/78

技術表示箇所

3 1 1 P